

Datos Generales

Proyecto	Diseño de un Microprocesador Logarítmico Orientado al Procesamiento Digital de Señales		
Estado	INACTIVO		
Semillero	IET (INVESTIGACIÓN EN ELECTRÓNICA Y TELECOMUNICACIONES)		
Área del Proyecto	Ingenierías	Subárea del Proyecto	Ingeniería Eléctrica: Electrónica, Telecomunicaciones, y sus derivadas
Tipo de Proyecto	Proyecto de Investigación	Subtipo de Proyecto	Propuesta de Investigación
Grado	V Semestre	Programa Académico	Ingeniería electrónica
Email	snaidercl@gmail.com	Teléfono	3008141274

Información específica

Introducción

P { margin: 0px; } El sistema numérico logarítmico (LNS por Logarithmic Number System), es un sistema numérico no convencional que combina la facilidad de implementación y precisión que proporciona el sistema numérico de punto fijo y el intervalo de representación numérico que ofrece el sistema numérico de punto flotante [1]. Debido a que el LNS basa su funcionamiento en las propiedades de las funciones logaritmo y antilogaritmo, este sistema numérico permite realizar operaciones de multiplicación, división y raíz cuadrada haciendo uso de sumas, restas y desplazamientos lógicos en el formato de punto fijo, reduciendo de esta forma la complejidad de la arquitectura hardware de dichas operaciones [2], [3]. A pesar de que en la actualidad existen diversas arquitecturas basadas en aritmética convencional que permiten la implementación en hardware de este tipo de operaciones aritméticas, esto sigue siendo un problema abierto, dado que las soluciones existentes presentan un elevado consumo de área, potencia y excesivo número de ciclos de reloj para llevar a cabo dichas operaciones [4]-[5].

Planteamiento

P { margin: 0px; } En el procesamiento digital de señales (DSP), uno de los mayores inconvenientes que se presenta al momento de realizar la implementación hardware de algoritmos, tales como: filtros FIR e IIR y transformadas discretas de Fourier, entre otros, es encontrar el balance apropiado para cumplir requisitos de procesamiento en tiempo real, la precisión en la representación de los datos y la factibilidad de implementación hardware del algoritmo [1], [5]. Los problemas de requerimientos de tiempo real, precisión de resultados e implementación de los algoritmos expuestos anteriormente están muy ligados a la alta carga computacional que se requieren para ejecutarlos [5]. El termino carga computacional expuesto en esta investigación se encuentra directamente relacionado con el tiempo de procesamiento que se requiere para llevar a cabo una operación matemática determinada, así como la cantidad y complejidad del hardware necesario para llevar a cabo dicha operación. En la actualidad, la literatura científica muestra claramente dos tendencias para darle solución a este problema. La primera, tiene que ver con el mejoramiento del acceso de datos a memoria y la utilización del paralelismo intrínseco de arquitecturas no convencionales tales como Dispositivos Programables en Campo (FPGAs) y Procesadores Gráficos de Video (GPUs). La segunda solución, va un poco más allá y trata de mejorar las operaciones aritméticas básicas, tales como: suma, resta, multiplicación y división; presentes en la gran mayoría de los algoritmos de procesamiento de imágenes y video. De las cuatro operaciones mencionadas anteriormente, la multiplicación y especialmente la división son las más exigentes en términos de área, retrasos y disipación de potencia [1], [5].

Objetivo General

P { margin: 0px; } Diseñar un microprocesador logarítmico orientado al procesamiento digital de señales

Objetivos Específicos

P { margin: 0px; } · Diseñar un algoritmo para aproximar las funciones de $y = \log_2(x)$ y $y = \log_2(x^2)$.
· Diseñar multiplicadores y divisores de 32 bits, utilizando el algoritmo para aproximar las funciones de $y = \log_2(x)$ y $y = \log_2(x^2)$.
· Evaluar el rendimiento del algoritmo para aproximar las funciones de $y = \log_2(x)$ y $y = \log_2(x^2)$ en un dispositivo FPGA.

Referente

P { margin: 0px; } Abordaje breve de los principales aspectos teóricos que respaldan la investigación (Conceptos, leyes, principios, fundamentos, etc). Para las propuestas de investigación se debe presentar un mapa conceptual que refleje una aproximación al referente teórico (no es obligatorio incluirlo en el Póster, sin embargo debe ser sustentado en la socialización). Para los proyectos en curso y terminados se debe presentar un texto descriptivo.

Resultados Esperados

P { margin: 0px; } En esta investigación se espera diseñar un microprocesador logarítmico orientado al procesamiento digital de señales, el cual permitirá realizar operaciones de multiplicación, división y raíz cuadrada basada en el LNS. Las contribuciones que se esperan derivar de esta investigación son las siguientes:
· Obtención de un nuevo conjunto de ecuaciones lineales que permiten hallar la aproximación de las funciones logaritmo y antilogaritmo en base binaria.
· Disminuir el error máximo relativo que se presenta al momento de la aproximación de las funciones logaritmo y antilogaritmo binario, con respecto al estado del arte actual presentado en [4].

Bibliografía

P { margin: 0px; } [1] E.L. Hall, D.D. Lynch, and S.J. Dwyer III, "Generation of Products and Quotients Using Approximate Binary Logarithms for Digital Filtering Applications," IEEE Trans. Computers, vol. 19, no. 2, pp. 97-105, Feb. 1970. [2] E.E. Swartzlander, "Sign/Logarithm Arithmetic for FFT Implementation," IEEE Trans. Computers, vol. 32, pp. 526-534, 1983. [3] N.G. Kingsbury and P.J.W. Rayner, "Digital Filtering Using Logarithmic Arithmetic," IEEE Electronic Letters, pp. 56-58, Jan. 1971. [4] M.G. Arnold and C. Walter, "Unrestricted Faithful Rounding Is Good Enough for Some LNS Applications," Proc. IEEE Symp. Computer Arithmetic, pp. 56-58, 2001. [5] E.E. Swartzlander, "The Sign/Logarithm Number System," IEEE Trans. Computers, vol. 24, no. 12, pp. 1238-1242, Dec. 1975.

Integrantes

iActualmente no existen integrantes para este proyecto!

Instituciones

NIT	Institución
8901025729	UNIVERSIDAD AUTÓNOMA DEL CARIBE